

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-041668
 (43)Date of publication of application : 19.02.1993

(51)Int.Cl. H03M 1/48
 H03M 1/46

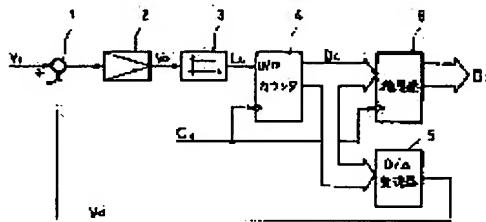
(21)Application number : 03-194671 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 05.08.1991 (72)Inventor : KUDO TOSHIAKI

(54) ANALOG/DIGITAL CONVERTER

(57)Abstract:

PURPOSE: To realize the inexpensive analog/digital converter capable of securing the resolving power of the digital amount even when the high-speed conversion of the output of an up-down counter is required in a short cycle by the starting feedback of a D/A converter.

CONSTITUTION: An up-down counter 4, a D/A converter 5, a subtracter 1, an amplifier 2 and a comparator 3 constitute a closed loop. The comparator 3 outputs the logic signal with the different levels according to the polarity of the input signal. The counter 4 counts up when the output V_d of the D/A converter 5 is smaller than an analog input signal V_i , and counts down when the V_d is larger than the signal V_i . As the result, the output D_c of the counter 4 changes according to the change of the signal V_i . An integrator 6 integrates the output D_c of the counter 4 at each clock timing, and the output D_o becomes the digital amount proportional to the time integration value of the signal V_i . The change amount of this integration value D_o during the constant cycle is proportional to the average value of the analog input signal V_i during the cycle.



LEGAL STATUS

[Date of request for examination] 27.02.1997

[Date of sending the examiner's decision of rejection] 17.08.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-41668

(43)公開日 平成5年(1993)2月19日

(51)Int.Cl.⁵

H 03 M 1/48
1/46

識別記号

府内整理番号
9065-5 J
9065-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数1(全5頁)

(21)出願番号

特願平3-194671

(22)出願日

平成3年(1991)8月5日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 工藤 俊明

東京都府中市東芝町1番地 株式会社東芝
府中工場内

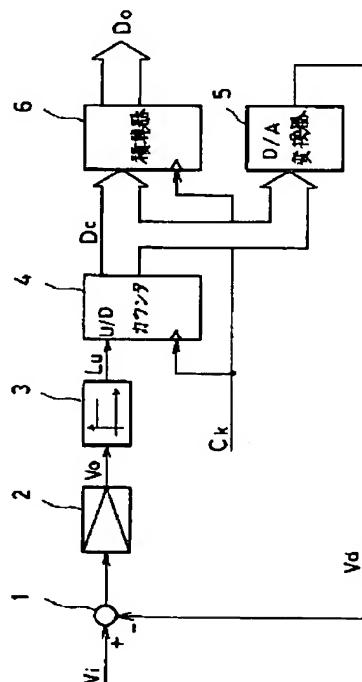
(74)代理人 弁理士 則近 憲佑

(54)【発明の名称】 アナログデジタル変換器

(57)【要約】

【目的】 本発明は、短い周期で高速変換を必要とするときにもデジタル量の分解能を確保でき、しかも安価に実現できるアナログデジタル変換器を提供することを目的とする。

【構成】 デジタルアナログ変換器の出力信号とアナログ入力信号との差信号を出力する減算器と、前記減算器の出力を増幅する増幅器と、前記増幅器の出力の正負極性を判別し、極性に応じて異なるレベル信号を出力する比較器と、前記比較器の出力レベルに応じてアップ・ダウンが切替わり、入力されるクロックタイミング毎にカウント動作し、その出力が前記デジタルアナログ変換器に与えられるアップ・ダウンカウンタと、前記アップ・ダウンカウンタの出力をクロック入力タイミング毎に積算するデジタル積算器とから構成されることを特徴とするアナログデジタル変換器。



(2)

1

【特許請求の範囲】

【請求項1】 デジタルアナログ変換器の出力信号とアナログ入力信号との差信号を出力する減算器と、前記減算器の出力を増幅する増幅器と、前記増幅器の出力の正負極性を判別し、極性に応じて異なるレベル信号を出力する比較器と、前記比較器の出力レベルに応じてアップ・ダウンが切替わり、入力されるクロックタイミング毎にカウント動作し、その出力が前記デジタルアナログ変換器に与えられるアップ・ダウンカウンタと、前記アップ・ダウンカウンタの出力をクロック入力タイミング毎に積算するデジタル積算器とから構成されることを特徴とするアナログデジタル変換器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はアナログ信号をデジタル信号に変換するアナログデジタル変換器に係り、特にアナログ信号の所定時間毎の平均値に比例したデジタル量に変換するアナログデジタル変換器に関する。

【0002】

【従来の技術】 各種制御装置がデジタル化・ソフトウェア化されるに伴ないアナログ検出信号をデジタル変換するためのアナログデジタル変換（以下A/D変換と記す）器の重要性が大きくなっている。

【0003】 A/D変換結果をフィードバック量として用いて制御するものなかには検出精度を上げるために、検出時点間（サンプリング周期間）の平均値を要求されるものが多い。例えばトランジスタやサイリスタ素子で構成され、素子のオンオフ制御によって負荷への電力供給量を制御する電力変換装置等においては、負荷への供給電流は素子のオンオフに応じて脈動する。このように脈動成分を持つ電流をデジタル変換して精度良く制御するためには、制御周期に一度だけA/D変換するのでは不十分であり、制御周期の電流平均値をデジタル変換することが必要になる。

【0004】 現在使用されているアナログ信号の平均値をデジタル変換する回路例を図4に示す。（例えば、David F. Hoeschle, Jr 「Analog-to-Digital/Digital-to-Analog Conversion Techniques」 John Wiley & Sons, Inc. P356～357）

【0005】 図4において、8はアナログ入力信号V_iの電圧値に比例した周波数のパルス列を出力する電圧/周波数（V/F）変換器、9は前記V/F変換器8のパルス出力P_fをカウントするカウンタである。このカウンタ9のカウント値D₀を一定周期で読み取り、前回のカウント値との差をデジタル量として使用するものである。

【0006】 カウンタ9は積分動作をするものであるから、一定周期のカウント量は入力アナログ信号V_iの周

2

期間における時間平均値に比例する。この構成によってアナログ信号が脈動成分を含む場合も精度良く連続的にデジタル変換でき、多く使われている。

【0007】

【発明が解決しようとする課題】 図4のデジタル変換方式は精度良く優れているが、精度と共にデジタル変換技術で重要な要素であるデジタル量の分解能の点で問題となることがある。

【0008】 アナログ入力信号が最大値のときに得られるデジタル量の最大値がいくつであるかで分解能が決まり、この分解能が小さいとデジタル量の丸め誤差が大きくなり、きめ細かな制御には使用できなくなる。

【0009】 図4の構成で分解能を決める要素はV/F変換器8の最大パルス列周波数F_mと、カウンタ9の読み取り周期であるデジタル変換周期T_sであり、最大パルス列周波数F_mと変換周期T_sの積として分解能が定まる。したがって、変換周期が長くても良い用途では十分な分解能を得ることができるが、高速処理をするために変換周期が短い用途で分解能が問題になる。V/F変換器8の最大パルス列周波数が高ければ問題ないが、現在市販されているV/F変換器8の最大周波数は2MHz程度である。デジタル変換周期が100μsのときに、最大2MHzのV/F変換器を用いた場合の分解能は200しか得られない。

【0010】 このように高速変換時にデジタル量の分解能が低くなることが図4の構成の欠点である。又、最大周波数が高くなる程V/F変換器は高価になり、装置が高価になることも図4の欠点である。

【0011】 従って、本発明は、前記の欠点を除去するためになされたもので、短い周期で高速変換を必要とするときにもデジタル量の分解能を確保でき、しかも安価に実現できるA/D変換器を提供することを目的とする。

【0012】

【課題を解決するための手段】 本発明は上記目的を達成するために、アップとダウン方向とにカウント方向を制御でき、クロック入力毎にカウント動作をするアップ・ダウンカウンタ4と、そのアップ・ダウンカウンタ4のカウント値をアナログ量に変換するデジタル/アナログ（D/A）変換器5と、変換目的のアナログ入力信号と前記D/A変換器出力信号との偏差を求める減算器1と、前記減算器1の出力を増幅する増幅器2と、その増幅器出力の極性を判断して極性に応じて前記アップ・ダウンカウンタ4のカウント方向を制御する比較器3と、前記アップ・ダウンカウンタ4のカウント値をクロック入力毎に積算するデジタル積算器6とから構成され、前記デジタル積算器6の出力の一定周期間の変化量をデジタル変換値とするものである。

【0013】

【作用】 本発明において、アップ・ダウンカウンタ4、

(3)

3

D/A変換器5、減算器1、増幅器2及び比較器3は閉ループを構成し、アナログ入力信号を指令値としたファイードバック制御ループと同様の動作をする。即ち、アップ・ダウンカウンタ4の出力は、D/A変換器5で検出され、増幅器2でファイードバック制御されることによって、アナログ入力に追従するように動作する。そのアップ・ダウンカウンタ4のカウント値をクロック毎に積算することによって平均値を得、しかも高い分解能のデジタル量を得るものである。

【0014】

【実施例】以下本発明の一実施例を図1の構成図を参照して説明する。図において、1は2つのアナログ信号の差信号を求める減算器、2は積分機能を有する比例一積分等の入力信号を増幅した信号を出力する増幅器、3は入力信号の極性に応じて異なるレベルのロジック信号を出力する比較器、4はロジック信号のレベルでカウト方向が切替わり、クロック毎にカウント動作するアップ・ダウンカウンタ、5はデジタル量をアナログ信号に変換するD/A変換器、6はクロック毎に入力値を積算するデジタル積算器である。

【0015】変換目的のアナログ信号V_iは減算器1に入力され、D/A変換器5の出力V_dとの偏差が増幅器2に与えられる。比較器3は増幅器2の出力信号V₀の極性に応じてアップ・ダウンカウンタ4のカウント方向を制御する。カウンタ4の出力D_cはD/A変換器5に与えられる同時に、積算器6への入力としても与えられる。

【0016】アナログ入力信号V_iと、カウンタ4の出力D_cをD/A変換器5でアナログ変換した信号V_dとの偏差を増幅した信号V₀の極性で、カウンタ4のアップ・ダウン方向が制御される。即ち、カウンタ4はV_iよりもV_dが小さいときにアップカウントし、V_dが大きいときにダウンカウントする。その結果、カウンタ4の出力D_cはアナログ信号V_iの変化に追従して変化する。アナログ信号V_iに追従しているカウンタ4の出力をクロックタイミング毎に積算した、積算器6の出力D₀はアナログ信号V_iの時間積分値と比例したデジタル量となる。この積算値D₀の一定周期間における変化量は、その周期間のアナログ信号V_iの平均値と比例する。

【0017】アナログ入力信号V_iの変化範囲とカウンタ4の出力D₀の変化範囲の関係はD/A変換器5の変換特性によって定まる。例えば、カウンタ4の出力ビット数を3、即ち、D_cの変化範囲を0~7とし、アナログ信号V_iの変化範囲を±10Vとすれば、D/A変換器5はデジタル値D_cが0のとき-10V、D_cが7のとき10Vを出力し、その間は直線的に変化するアナログ信号を出力するようにすればよい。又、アナログ信号が单一極性で0~10Vの範囲で変化するときにはD_cが0のときに0V、D_cが7のときに10Vとなるよう

(4)

4

にすればよい。このようにアナログ入力とデジタル数値の関係はD/A変換器5の出力特性によって任意に選定することができる。

【0018】アナログ信号V_iに対するカウンタ4の出力D_cの追従速度はクロックCKの周波数で決まる。いくらクロック周波数が高くても、カウンタ出力D_cはクロック毎に1カウントしか変化できないため、アナログ信号がステップ変化したときは追従遅れを生じる。追従遅れを生じた場合でも増幅器2に積分機能を持たせていれば、追従遅れによる誤差分が積分され、その積分値が0になるようにカウンタ4は動作するので累積誤差は生じない。但し、アナログ信号が余り急速に変化せず、カウンタ4の出力がアナログ信号に追従できるときには必ずしも積分機能を必要としない。

【0019】図1の実施例におけるデジタル変換結果の分解能はカウンタ4の出力分解能N_c、クロック周波数F_c、及び積算器6の読み取り周期である変換周期T_sの積になる。図1の実施例は数十MHzのクロック周波数で動作し得る。

【0020】従って、本発明によれば、カウンタ4の分解能N_cが1桁であっても図4の構成の数十倍の分解能を得ることが可能となる。カウンタ4の出力分解能N_cを高くしたときにはD/A変換器5の変換分解能も高くする必要があるが、10ビット（分解能N_c=1024）程度のD/A変換器は容易に入手でき、図4とは比較にならない高分解能のデジタル変換を実現できる。

【0021】カウンタ4及び積算器6はゲートアレイ等の最近のデジタル回路技術によって安価に実現できるるものであり、図1の実施例を実現するときの価格はほとんどD/A変換器5の価格によって決まる。このD/A変換器もV/F変換器に比べれば安価であり、本発明は精度良く、高分解能なA/D変換器を安価に提供することができる。

【0022】図1の実施例において、カウンタ4と積算器6のクロックは同じものを用いて説明したが、場合によっては異なるクロックを用いても本発明の効果を達成できることは明らかである。

【0023】図2は本発明の他の実施例を示す構成図であり、図1と同一機能を有するものは同一符号を付して説明を省略する。図2は図1の実施例において比較的高価な構成要素であるD/A変換器5をパルス変調（PWM）回路51に置換えた実施例である。PWM回路51はカウンタ4の出力D_cに比例したパルス幅のロジック信号L_dを出力する周知の回路であり、パルス幅の変化単位はクロック入力C_{kn}の周期となる。カウンタ4と積算器6のクロックC_kはPWM回路51のクロックC_{kn}を分周期7で分周したものを用いる。分周期7の分周比はカウンタ4の出力分解能N_cと一致させる。

【0024】PWM回路51もD/A変換器の1種であるから、基本的には図2の実施例も図1の実施例と動作

(4)

5

は同じである。ただし、PWM回路5 1の出力信号は入力信号D cが一定のときでも脈動するから、場合によつては増幅器2にフィルタ機能を持たせる必要がある。

【0025】図2の実施例でカウンタ4及び積算器6は分周期7で分周されたクロックCKによって、PWM回路5 1のPWM周期と同期して動作させる。これは減算器1にフィードバックされるPWM回路5 1の出力L dの平均値とカウンタ4の出力D cとの比例関係を保つ為である。PWM回路5 1がある値を変調出力中にカウンタ4の出力D cが変化しても、PWM回路5 1の出力に反映させることができず、デジタル変換結果に誤差を含む要因になるだけである。

【0026】図2の実施例によって変換されるデジタル信号の分解能は図1の実施例で得られる分解能よりも低くなる。図2の実施例の分解能はPWM回路5 1のクロックCKnの周波数F nと変換周期T sの積になる。このクロック周波数F nと図1におけるクロック周波数F cとが等しいときの分解能はカウンタ4の出力分解能N c倍の差がある。それでも図4の従来構成の10倍以上の分解能を得ることができ。PWM回路5 1はカウンタ4及び積算器6と同様にデジタル回路技術で容易に構成できる。

【0027】図3は本発明の更に他の実施例を示す構成図であり、図2の実施例よりも更に安価に実現できる構成である。図3の実施例は図1及び図2の実施例におけるカウンタ4の出力分解能を究極まで減したときの構成である。

【0028】図3において、4 1はクロックタイミング毎の入力信号レベルをホールドするフリップフロップ、6 1は1ビット入力の積算器であり、AND回路6 2とカウンタ6 3で構成される。5 2はフリップフロップ4 1の出力をアナログ入力信号V iの変化範囲に合わせて変換するレベル変換器である。フリップフロップ出力D cが0のときはAND回路6 2によってカウンタ6 3へのクロックがゲートされるためにカウンタ6 3の出力D 0は変化せず、D cが1のときはカウンタ出力D 0はクロックタイミング毎に1づつ増加する。即ち、積算器6 1はフリップフロップ4 1の出力D cを積算する1ビット積算器である。即ち、図3の構成はフリップフロップ

6

4 1が1ビットのアップ・ダウンカウンタ、レベル変換器5 2は1ビットのD/A変換器或いはPWM回路であり、基本動作は図1及び図2と変わらない。分解能はクロック周波数と変換周期の積であり、図2の実施例と同じである。しかし、回路はより簡単な構成とができる。

【0029】以上の実施例において積算器の出力を周期的に読み取り、周期間の積算器の差分をデジタル量として用いるソフトウェア的処理で説明したが、一定周期毎に積算器出力をレジスタにストアすると同時に積算器の積算値をクリアするハードウェア構成も可能である。

【0030】

【発明の効果】以上説明のように、本発明によれば、アナログ信号の検出周期間における平均値に比例したデジタル量が精度良く得られるA/D変換器を実現することができる。短い周期で高速変換を必要とする場合でも十分な分解能を得ることができ、高性能制御を行うための検出器として使用することが可能である。しかも、本発明は簡単な回路構成で実現でき、安価なA/D変換器を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す構成図。

【図2】本発明の他の実施例を示す構成図。

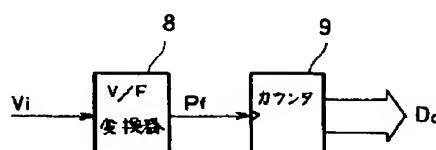
【図3】本発明の更に他の実施例を示す構成図。

【図4】従来の実施例を示した構成図。

【符号の説明】

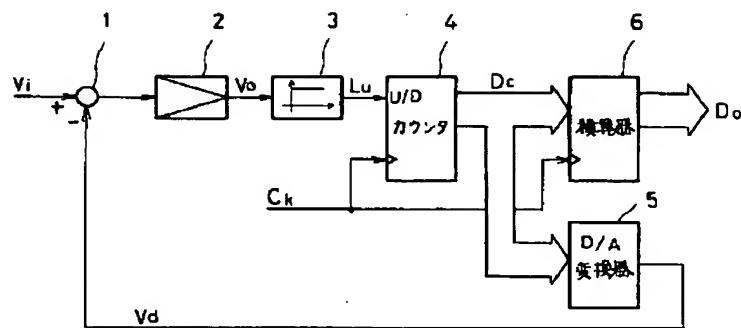
1	…減算器	2	…増幅器
3	…比較器	4	…アップ・ダウンカウンタ
4 1	…フリップフロップ	5	…D/A変換器
5 1	…PWM回路	5 2	…レベル変換器
6, 6 1	…デジタル積算器	6 2	…AND回路
6 3	…カウンタ	7	…分周器

【図4】

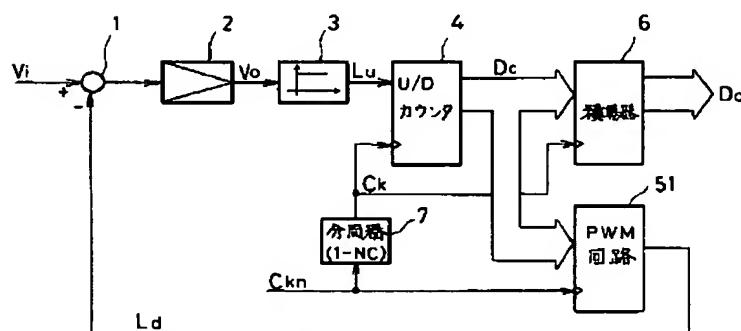


(5)

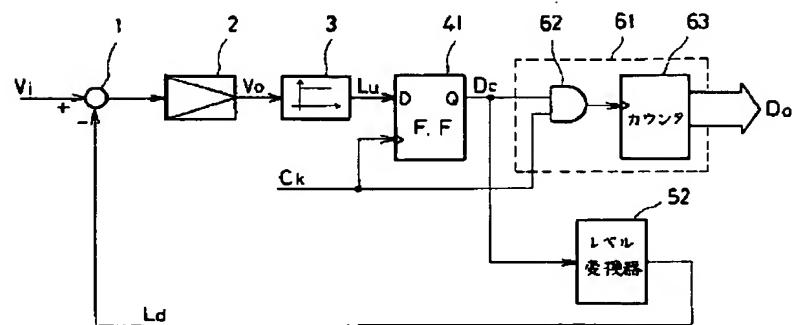
【図 1】



【図 2】



【図 3】



*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the analog-to-digital converter changed into the digital variable which was applied to the analog-to-digital converter which changes an analog signal into a digital signal, especially is proportional to the average value for every predetermined time of an analog signal.

[0002]

[Description of the Prior Art] The importance of an analog-to-digital-conversion (it is described as A/D conversion below) machine for various control devices to follow on being software[digitization and]-ized, and carry out digital conversion of the analog detecting signal is large.

[0003] Although controlled using an A/D-conversion result as an amount of feedbacks, in order to raise detection precision to inside, there are many of which the average of a between (between sampling periods) is required at the detection event. For example, it consists of a transistor and a thyristor component and the supply current to a load is rippled according to turning on and off of a component in the power converter which controls the power supply to a load by on-off control of a component. Thus, in order to carry out digital conversion of the current with a pulsating component and to control it with a sufficient precision, as for just once, it is inadequate for a control period to carry out A/D conversion, and it is necessary to carry out digital conversion of the current average value of a control period.

[0004] The example of a circuit which carries out digital conversion of the average value of the analog signal used now is shown in drawing 4 . (For example, David F.Hoeschele, Jr"Analog-to-Digital/Digital-to-Analog Conversion Techniques" John Wiley & Sons, Inc.P356-357)

[0005] In drawing 4 , the electrical potential difference / frequency (v/F) converter which outputs the pulse train of the frequency to which 8 is proportional to the electrical-potential-difference value of the analog input signal Vi, and 9 are counters which count the pulse output Pf of said V/F converter 8. Counted value D0 of this counter 9 It reads a fixed period and a difference with the last counted value is used as a digital variable.

[0006] Since a counter 9 carries out integral control action, the amount of counts of a fixed period is proportional to the time amount average between the periods of the input analog signal Vi. Also when an analog signal contains a pulsating component by this configuration, precision can improve digital conversion continuously, and it is used mostly.

[0007]

[Problem(s) to be Solved by the Invention] Although the digital conversion method of drawing 4 is excellent with a sufficient precision, it may pose a problem with a digital conversion technique with precision in respect of the resolution of the digital variable which is an important element.

[0008] Resolving power is decided by how many the maximum of the digital variable obtained when an analog input signal is maximum is, and when this resolving power is small, the rounding error of the amount of DEJITERU becomes large, and it becomes impossible to use it for fine control.

[0009] The element which determines resolution with the configuration of drawing 4 is the digital conversion period Ts which are the maximum pulse train frequency Fm of the V/F transducer 8, and a reading period of a counter 9, and resolution becomes settled as a product of the maximum pulse train frequency Fm and the conversion period Ts. Therefore, although resolution sufficient for the

application which may be long can be obtained, in order to carry out high-speed processing, resolution becomes a problem for an application with a short conversion period. The maximum frequency of the V/F converter 8 by which current marketing is carried out although it is satisfactory if the maximum pulse train frequency of the V/F converter 8 is high is 2MHZ(s). It is extent. As for the resolution at the time of using the V/F converter of a maximum of 2 MHZ(s), only 200 is obtained when a digital conversion period is 100 microseconds.

[0010] Thus, it is the fault of the configuration of drawing 4 that the resolution of a digital variable becomes low at the time of high-speed conversion. Moreover, it is also the fault of drawing 4 that a V/F converter becomes expensive and equipment becomes expensive like ** to which the maximum frequency becomes high.

[0011] Therefore, this invention was made in order to remove the aforementioned fault, also when high-speed conversion is needed a short period, it can secure the resolution of a digital variable, and it aims at offering an A/D converter cheaply realizable moreover.

[0012]

[Means for Solving the Problem] The updown counter 4 which can control the count direction in a rise and the down direction, and carries out count actuation for every clocked into in order that this invention may attain the above-mentioned object, Digital one / analog (D/A) converter 5 which changes the counted value of the updown counter 4 into an analog quantity, The subtractor 1 which asks for the deflection of the analog input signal for the purpose of conversion, and said D/A-converter output signal, The amplifier 2 which amplifies the output of said subtractor 1, and the comparator 3 which judges the polarity of the amplifier output and controls the count direction of said updown counter 4 according to a polarity, It consists of digital integrators 6 which integrate the counted value of said rise down KAUTA 4 for every clocked into, and let variation between the fixed periods of the output of said digital integrator 6 be a digital conversion value.

[0013]

[Function] In this invention, an updown counter 4, D/A converter 5, a subtractor 1, an amplifier 2, and a comparator 3 constitute a closed loop, and carry out the same actuation as the feedback control loop which made the analog input signal the command value. That is, the output of an updown counter 4 is detected by D/A converter 5, and by carrying out feedback control with an amplifier 2, it operates so that an analog input may be followed. By integrating the counted value of the updown counter 4 for every clock, an average value is acquired and, moreover, the digital variable of high resolving power is obtained.

[0014]

[Example] One example of this invention is explained with reference to the block diagram of drawing 1 below. The amplifier which outputs the signal which amplified input signals, such as a subtractor with which 1 searches for the difference signal of two analog signals, and a proportion-integral whose 2 has an integral function, in drawing, The comparator which outputs the logic signal of level with which 3 differs according to the polarity of an input signal, The updown counter in which the direction of KAUTO changes and 4 carries out count actuation for every clock on the level of a logic signal, the D/A converter from which 5 changes a digital variable into an analog signal, and 6 are digital integrators which integrate an input value for every clock.

[0015] The analog signal V_i for the purpose of conversion is inputted into a subtractor 1, and deflection with the output V_d of D/A converter 5 is given to amplifier 2. A comparator 3 is the output signal V_0 of amplifier 2. The count direction of an updown counter 4 is controlled according to a polarity. The output D_c of a counter 4 is given to the coincidence given to D/A converter 5 also as an input to an integrator 6.

[0016] Signal V_0 which amplified the deflection of the analog input signal V_i and the signal V_d which carried out analogue conversion of the output D_c of a counter 4 with D/A converter 5 The rise down direction of a counter 4 is controlled by the polarity. That is, a counter 4 carries out a rise count, when V_d is smaller than V_i , and when V_d is large, it carries out a down count. Consequently, the output D_c of a counter 4 follows change of an analog signal V_i , and changes. Output D_0 of an integrator 6 which integrated the output of the counter 4 which follows the analog signal V_i for every clock timing It becomes a digital variable proportional to the time quadrature value of an analog signal V_i . This integrated value D_0 The variation between fixed periods is proportional to the

average of the analog signal V_i between that period.

[0017] The variability region of the analog input signal V_i , and output D_0 of a counter 4 The relation of a variability region becomes settled according to the transfer characteristic of D/A converter 5. For example, what is necessary is to set the variability region of 3, i.e., D_c , to 0-7 for the output number of bits of a counter 4, for $**10V$, then D/A converter 5 to output 10V, when digital value D_c is 0 about the variability region of an analog signal V_i and -10V and D_c are 7, and just to make it output the analog signal which changes linearly in the meantime. Moreover, what is necessary is just to make it set to 10V, when an analog signal changes in 0-10V with a single polarity, D_c is 0 and 0V and D_c are 7. Thus, the relation between an analog input and a digital numeric value can be selected to arbitration with the output characteristics of D/A converter 5.

[0018] The slew rate of the output D_c of a counter 4 to an analog signal V_i is Clock CK. It is decided by the frequency. However high a clock frequency may be, since only one count can change for every clock, the counter output D_c produces flattery delay, when an analog signal carries out step change. If the integral function is given to amplifier 2 even when flattery delay is produced, the amount of [by flattery delay] error finds the integral, and since it operates, a counter 4 will not produce an accumulated error, so that the integral value may be set to 0. However, an analog signal does not change not much quickly, and when the output of a counter 4 can follow an analog signal, an integral function is not necessarily needed.

[0019] The resolution of the digital conversion result in the example of drawing 1 becomes the product of the conversion period T_s which are the output resolution N_c of a counter 4, clock frequency F_c , and a reading period of an integrator 6. The examples of drawing 1 are dozens MHZ (s). It can operate with a clock frequency.

[0020] Therefore, according to this invention, even if the resolution N_c of a counter 4 is a single figure, it becomes possible to obtain a configuration dozens times the resolution of drawing 4. the time of making the output resolution N_c of a counter 4 high -- conversion of D/A converter 5 -- although it is necessary to also make resolving power high, the D/A converter of 10-bit (resolving-power $N_c = 1024$) extent can come to hand easily, and digital conversion of a high resolution which does not become as compared with drawing 4 can be realized.

[0021] a counter 4 and an integrator 6 are $**$ cheaply realizable [with the digital circuit technique the latest /, such as a gate array,], and most prices when realizing the example of drawing 1 are decided by price of D/A converter 5. If this D/A converter is also compared with a V/F converter, it is cheap, and this invention is accurate, and a high resolution A/D converter can be offered cheaply.

[0022] In the example of drawing 1, although the clock of a counter 4 and an integrator 6 was explained using the same thing, even if it uses a different clock depending on the case, it is clear that the effectiveness of this invention can be attained.

[0023] Drawing 2 is the block diagram showing other examples of this invention, and what has the same function as drawing 1 attaches the same sign, and omits explanation. Drawing 2 is the example which transposed D/A converter 5 which is a comparatively expensive component to the pulse modulation (PWM) circuit 51 in the example of drawing 1. The PWM circuit 51 is a circuit of the common knowledge which outputs the logic signal L_d of the pulse width proportional to the output D_c of a counter 4, and the change unit of pulse width serves as a period of clocked into C_{kn} . Clock C_k of a counter 4 and an integrator 6 What carried out dividing of the clock C_{kn} of the PWM circuit 51 by dividing term 7 is used. The division ratio of dividing term 7 is made in agreement with the output resolution N_c of a counter 4.

[0024] Since the PWM circuit 51 is also one sort of a D/A converter, the same of the example of drawing 1 and actuation is fundamentally said of the example of drawing 2. However, since the output signal of the PWM circuit 51 is rippled even when an input signal D_c is fixed, it needs to give a filtering function to amplifier 2 depending on the case.

[0025] With the clock CK by which dividing was carried out, a counter 4 and an integrator 6 are operated in the example of drawing 2 dividing term 7 synchronizing with the PWM period of the PWM circuit 51. This is for maintaining the proportionality of the average of the output L_d of the PWM circuit 51 and the output D_c of a counter 4 which are fed back to a subtractor 1. A value with the PWM circuit 51 cannot be made to reflect in the output of the PWM circuit 51 even if the output D_c of a counter 4 changes during a modulation output, but it only becomes the factor which includes

an error in a digital conversion result.

[0026] The resolution of the digital signal changed according to the example of drawing 2 becomes lower than the resolution obtained in the example of drawing 1 . The resolution of the example of drawing 2 becomes the frequency Fn of the clock CKn of the PWM circuit 51, and the product of the conversion period Ts. Resolution when this clock frequency Fn and clock frequency Fc in drawing 1 are equal has a difference Nc time the output resolution of a counter 4 of this. It can do [still obtaining the resolution of 10 times or more of the conventional configuration of drawing 4 , or]. The PWM circuit 51 can consist of digital circuit techniques easily like a counter 4 and an integrator 6.

[0027] Drawing 3 is the block diagram showing the example of further others of this invention, and is the configuration which can be realized still more cheaply than the example of drawing 2 . The example of drawing 3 is a configuration when reducing the output resolution of the counter 4 in the example of drawing 1 and drawing 2 to the extreme.

[0028] In drawing 3 , the flip-flop with which 41 holds the input signal level for every clock timing, and 61 are the integrators of a 1-bit input, and consist of AND circuit 62 and a counter 63. 52 is a level converter which changes the output of a flip-flop 41 according to the variability region of the analog input signal Vi. Since the gate of the clock to a counter 63 is carried out by AND circuit 62 when the flip-flop output Dc is 0, it is the output D0 of a counter 63. When it does not change but Dc is 1, it is the counter output D0. It increases every [1] for every clock timing. That is, an integrator 61 is a 1-bit integrator which integrates the output Dc of a flip-flop 41. That is, the updown counter and level converter 52 whose flip-flop 41 of the configuration of drawing 3 is 1 bit are a 1-bit D/A converter or an PWM circuit, and do not change basic actuation to drawing 1 and drawing 2 . Resolution is the product of a clock frequency and a conversion period, and is the same as the example of drawing 2 . However, a circuit can be considered as a easier configuration.

[0029] The hardware configuration which clears the integrated value of an integrator is also possible at the same time it reads the output of an integrator periodically in the above example and ***** stores an integrator output in a register for every fixed period by software-based processing using the difference of the integrator between periods as a digital variable.

[0030]

[Effect of the Invention] According to this invention, the A/D converter with which the digital variable proportional to the average value between the detection periods of an analog signal is obtained with a sufficient precision is above realizable like explanation. It can obtain sufficient resolution, even when you need high-speed conversion a short period, and it is possible to use it as a detector for performing high performance control. And it can realize by easy circuitry and this invention can offer a cheap A/D converter.

[Translation done.]

*** NOTICES ***

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The subtractor which outputs the difference signal of the output signal of a digital-analog converter, and an analog input signal, The amplifier which amplifies the output of said subtractor, and the comparator which outputs a level signal which distinguishes the forward negative polarity of the output of said amplifier, and is different according to a polarity, The updown counter which carries out count actuation for every clock timing inputted and by which a rise down changes according to the output level of said comparator, and the output is given to said digital-analog converter, The analog-to-digital converter characterized by consisting of digital integrators which integrate the output of said updown counter for every clocked into timing.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing one example of this invention.

[Drawing 2] The block diagram showing other examples of this invention.

[Drawing 3] The block diagram showing the example of further others of this invention.

[Drawing 4] The block diagram having shown the conventional example.

[Description of Notations]

1 -- Subtractor 2 -- Amplifier

3 -- Comparator 4 -- Updown Counter

41 -- Flip-flop 5 -- D/A Converter

51 -- PWM Circuit 52 -- Level Converter

6 61 -- Digital integrator 62 -- AND circuit

63 -- Counter 7 -- Counting-down Circuit

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.